

(translation of the front page of the priority document of
Japanese Patent Application No. 2002-024110)



JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: January 31, 2002

Application Number : Patent Application 2002-024110

[ST.10/C] : [JP 2002-024110]

Applicant(s) : Canon Kabushiki Kaisha

April 5, 2002

Commissioner,

Japan Patent Office

Kouzo OIKAWA

Certification Number 2002-3024541

CFM 2543 US

10/092.573



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 1月31日

出 願 番 号

Application Number:

特願2002-024110

[ST.10/C]:

[JP 2002-024110]

出 願 人

Applicant(s):

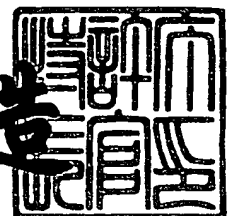
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 4月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3024541

【書類名】 特許願

【整理番号】 4639012

【提出日】 平成14年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00

【発明の名称】 フィルタ処理装置

【請求項の数】 16

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 中山 忠義

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

【代理人】

 【識別番号】 100076428

 【弁理士】

 【氏名又は名称】 大塚 康德

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100112508

 【弁理士】

 【氏名又は名称】 高柳 司郎

 【電話番号】 03-5276-3241

【選任した代理人】

 【識別番号】 100115071

 【弁理士】

 【氏名又は名称】 大塚 康弘

 【電話番号】 03-5276-3241

【選任した代理人】

【識別番号】 100116894

【弁理士】

【氏名又は名称】 木村 秀二

【電話番号】 03-5276-3241

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 71092

【出願日】 平成13年 3月13日

【手数料の表示】

【予納台帳番号】 003458

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フィルタ処理装置

【特許請求の範囲】

【請求項 1】 画像データをフィルタ処理し、処理により得られる 2 種類のデータを 1 組のデータとして出力する第 1 のフィルタ処理手段と、

前記第 1 のフィルタ処理手段から出力されたデータを 2 組ずつ 9 0 度回転するように並び替えて出力するデータ回転手段と、

前記データ回転手段により並び替えられた画像データをフィルタ処理し、処理により得られる 2 種類のデータを 1 組のデータとして出力する第 2 のフィルタ処理手段と

を有することを特徴とするフィルタ処理装置。

【請求項 2】 前記第 1 及び第 2 のフィルタ処理手段は順方向のウェーブレット変換処理を行い、前記 1 組のデータに含まれる 2 種類のデータは、高域変換係数と、低域変換係数であることを特徴とする請求項 1 に記載のフィルタ処理装置。

【請求項 3】 前記第 1 及び第 2 のフィルタ処理手段は逆方向のウェーブレット変換処理を行い、高域変換係数と低域変換係数からなる 1 組のデータを入力して処理することを特徴とする請求項 1 に記載のフィルタ処理装置。

【請求項 4】 垂直方向に並ぶ 2 画素分ずつの画像データを 1 組として平行に入力することを特徴とする請求項 1 または 2 に記載のフィルタ処理装置。

【請求項 5】 前記第 1 のフィルタ処理手段は垂直方向のフィルタ処理を行い、前記第 2 のフィルタ処理手段は水平方向のフィルタ処理を行うことを特徴とする請求項 4 に記載のフィルタ処理装置。

【請求項 6】 入力した画像データを 2 組ずつ 9 0 度回転するように並び替えて出力する、前記第 1 のフィルタ処理手段の前段に配置された入力データ回転手段を更に有し、

前記第 1 のフィルタ処理手段は水平方向のフィルタ処理を行い、前記第 2 のフィルタ処理手段は垂直方向のフィルタ処理を行うことを特徴とする請求項 4 に記載のフィルタ処理装置。

【請求項 7】 前記第 1 のフィルタ処理手段は、F I R フィルタであることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載のフィルタ処理装置。

【請求項 8】 前記第 1 のフィルタ処理手段に画像データを 2 ライン単位で入力する入力手段であって、画像データを前記第 1 のフィルタ処理手段の処理に必要な画素分ずつライン交互に入力する入力手段を更に有することを特徴とする請求項 7 に記載のフィルタ処理装置。

【請求項 9】 画像データをフィルタ処理し、処理により得られる 2 種類のデータを 1 組のデータとして出力する第 1 のフィルタ処理手段と、

前記第 1 のフィルタ処理手段から出力されたデータを各種類毎に一時保持し、垂直方向に並ぶ 2 画素分ずつの同種類のデータを 1 組として、各種類のデータを 1 組ずつ交互に出力する記憶手段と、

前記記憶手段から出力されたデータをフィルタ処理し、処理により得られる 2 種類のデータを 1 組のデータとして出力する第 2 のフィルタ処理手段と

を有することを特徴とするフィルタ処理装置。

【請求項 1 0】 前記第 1 及び第 2 のフィルタ処理手段は順方向のウェーブレット変換処理を行い、前記 1 組のデータに含まれる 2 つのデータは、高域変換係数と、低域変換係数であることを特徴とする請求項 9 に記載のフィルタ処理装置。

【請求項 1 1】 前記第 1 及び第 2 のフィルタ処理手段は逆方向のウェーブレット変換処理を行い、前記 1 組のデータに含まれる 2 つのデータは、高域変換係数と、低域変換係数であることを特徴とする請求項 9 に記載のフィルタ処理装置。

【請求項 1 2】 前記第 1 のフィルタ処理手段は、F I R フィルタであることを特徴とする請求項 9 乃至 1 1 のいずれか 1 つに記載のフィルタ処理装置。

【請求項 1 3】 前記第 1 のフィルタ処理手段は、水平方向のフィルタ処理を行い、前記第 2 のフィルタ処理手段は、垂直方向のフィルタ処理を行うことを特徴とする請求項 9 乃至 1 2 のいずれか 1 つに記載のフィルタ処理装置。

【請求項 1 4】 第 1 のモードと第 2 のモードとを切り換えて画像データをフィルタ処理し、処理により得られる 2 種類のデータを 1 組のデータとして出力

するフィルタ処理手段と、

前記フィルタ処理手段から出力された 2 組のデータを 9 0 度回転するように並び替えて出力するデータ回転手段と、

外部より入力する画像データと、前記データ回転手段により並び替えられた画像データとを切り換えて前記フィルタ処理手段に入力する第 1 の切り換え手段とを有し、

前記第 1 の切り換え手段が外部より入力する画像データを選択したときには、前記フィルタ処理手段は第 1 のモードでフィルタ処理を行い、前記データ回転手段から入力する画像データを選択したときには、第 2 のモードでフィルタ処理を行うことを特徴とするフィルタ処理装置。

【請求項 1 5】 前記フィルタ処理手段から出力されるデータを、前記データ回転手段と、外部とへ切り換えて出力する第 2 の切り換え手段を更に有することを特徴とする請求項 1 4 に記載のフィルタ処理装置。

【請求項 1 6】 前記第 1 のモードでは水平方向にフィルタ処理を行い、前記第 2 のモードでは垂直方向にフィルタ処理を行うことを特徴とする請求項 1 4 又は 1 5 に記載のフィルタ処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はフィルタ処理装置に関し、更に詳しくは、画像データをウェーブレット変換したり、ウェーブレット変換係数を画像データに逆変換する等のフィルタ処理装置に関する。

【0 0 0 2】

【従来の技術】

画像、特に多値画像は非常に多くの情報を含んでおり、その画像を蓄積・伝送する際にはデータ量が膨大であるという問題がある。このため画像の蓄積・伝送に際しては、画像の持つ冗長性を除く、或いは画質の劣化が視覚的に認識し難い程度で、画像の内容を変更することによってデータ量を削減する高能率符号化が用いられる。

【0003】

例えば、静止画像の国際標準符号化方式としてISOとITU-Tにより勧告されたJPEGでは、画像データをブロック（8画素×8画素）ごとに離散コサイン変換（DCT）して、DCT係数に変換した後に、各係数を各々量子化し、さらにエントロピー符号化することにより画像データを圧縮している。しかしこの方式では、ブロックごとにDCT、量子化を行なっているため、復号画像の各ブロックの境界で、所謂ブロック歪みが現れる場合がある。

【0004】

一方、新しい静止画像の国際標準符号化方式としてJPEG2000が検討されているが、JPEG2000では、量子化の前に行う変換処理として、ウェーブレット変換が提案されている。ウェーブレット変換は、現行JPEGのようにブロック単位で処理を行うのではなく、入力データを連続的に処理するので、復号画像の劣化を視覚的に分かりにくくできるといった特徴がある。

【0005】

JPEG2000で使われているウェーブレット変換では、リフティング機構と呼ばれる方法で処理をすることで、少ない演算量で効率良く変換処理を行うことができる。

【0006】

図12に順方向のリフティング機構、図13に逆方向のリフティング機構におけるシグナルフローを表わす図を示す。図の中の α 、 β 、 γ 、 δ はリフティング係数と呼ばれるものである。

【0007】

まず、図12に示すリフティング機構の動作について説明する。

【0008】

入力画素を、入力される順に X_0 、 X_1 、 X_2 、 X_3 、 X_4 、 X_5 、…のように順に表わす。該入力画素は、分類ユニット201にて、偶数画素系列と奇数画素系列とに分類され、分類ユニット201の一方の出力端子（図12では上側）からは添字が偶数の画素 X_0 、 X_2 、 X_4 、…（すなわち X_{2n} ）が、もう一方の出力端子（図12では下側）からは添字が奇数の画素 X_1 、 X_3 、 X_5 、…（すなわち X_{2n+1} ）が出力される。

$_{2n+1}$) が出力される。

【 0 0 0 9 】

初段のリフティング 処理では、偶数画素系列に対しリフティング係数 α を乗し、連続する 2 個の偶数画素の乗算結果を、該 2 画素の中央に位置する奇数画素系列中の画素に加算する。

【 0 0 1 0 】

これを一般化した式で表現すると、以下のようになる。

【 0 0 1 1 】

$$D_{2n+1} = X_{2n+1} + \alpha \cdot X_{2n} + \alpha \cdot X_{2n+2} \quad \dots (1)$$

2 段目のリフティング処理では、新たに得られた奇数画素系列 D_1 、 D_3 、 D_5 、 \dots に対しリフティング係数 β を乗算し、連続する 2 個の奇数画素の乗算結果を、該 2 画素の中央に位置する偶数画素系列中の画素に加算する。

【 0 0 1 2 】

これを一般化した式で表現すると、以下のようになる。

【 0 0 1 3 】

$$E_{2n+2} = X_{2n+2} + \beta \cdot D_{2n+1} + \beta \cdot D_{2n+3} \quad \dots (2)$$

3 段目のリフティング 処理では、リフティング係数 γ を用いて初段と同様に、また、4 段目のリフティング処理では、リフティング係数 δ を用いて 2 段目と同様に処理する。3 段、4 段目のリフティング処理内容を表わす式は、それぞれ下記のようになる。

【 0 0 1 4 】

$$H_{2n+1} = D_{2n+1} + \gamma \cdot E_{2n} + \gamma \cdot E_{2n+2} \quad \dots (3)$$

$$L_{2n+2} = E_{2n+2} + \delta \cdot H_{2n+1} + \delta \cdot H_{2n+3} \quad \dots (4)$$

また、図 1 2 中、 K はウェーブレット係数を正規化するものであるが、本発明の本質を説明するにあたって特に関係ないことであるので、ここでは説明を省略する。

【 0 0 1 5 】

正規化処理を無視すれば、3 段、4 段目のリフティング処理によって得られる、 H_n 、 L_n は各々高域変換係数と低域変換係数に対応する。

【 0 0 1 6 】

次に、図 1 3 に示す逆方向のリフティング機構のシグナルフローについて簡単に説明する。まず始めに、順方向のリフティング機構における正規化処理に対応して、逆の係数を掛けた後、4 段のリフティング処理を行う。各段の処理内容を以下にまとめて式で表わす。

【 0 0 1 7 】

$$(1 \text{ 段目}) \quad E_{2n+2} = L_{2n+2} - \delta \cdot H_{2n+1} - \delta \cdot H_{2n+3} \quad \dots (5)$$

$$(2 \text{ 段目}) \quad D_{2n+1} = H_{2n+1} - \gamma \cdot E_{2n} - \gamma \cdot E_{2n+2} \quad \dots (6)$$

$$(3 \text{ 段目}) \quad X_{2n+2} = E_{2n+2} - \beta \cdot D_{2n+1} - \beta \cdot D_{2n+3} \quad \dots (7)$$

$$(4 \text{ 段目}) \quad X_{2n+1} = D_{2n+1} - \alpha \cdot X_{2n} - \alpha \cdot X_{2n+2} \quad (8)$$

上記 (5) (6) (7) (8) 式は、各々 (4) (3) (2) (1) 式を移項することにより得られるものである。

【 0 0 1 8 】

図 1 2 及び図 1 3 に示すリフティング機構を別の視点から表現したものが、図 1 4 及び図 1 5 に示すリフティング格子構造である。同図において、□は入力データを、○は格子点（あるいは格子点データ演算器）を表わし、○から出ている矢印は格子点データの流れを示す。これらの図はリフティング機構における基本処理（前記 (1) ～ (8) 式の処理）並びに該処理によって得られる新たなデータを 1 つの格子点に対応させたものである。

【 0 0 1 9 】

図 1 4 に示す順方向のリフティング格子構造では、1 つの格子点データは前記 (1) ～ (4) 式のいずれかを用いて計算される。

【 0 0 2 0 】

図 1 5 に示す逆方向のリフティング格子構造では、1 つの格子点データは前記 (5) ～ (8) 式のいずれかにより計算される。

【 0 0 2 1 】

普通のフィルタは、データが 1 つ入力されるごとに 1 つの出力が計算されるが、図 1 4 のリフティング格子構造から解かるように、リフティング演算処理では、新たなデータが 2 つ用意されてはじめて、2 つのデータ出力が可能になる。

【 0 0 2 2 】

例えば、 X_8 までの入力データでは、出力データとして L_4 、 H_5 まで演算できるだけである。次に X_9 だけが新たに用意されても、新たに演算できる格子点データは何も無い。しかし、 X_{10} が用意されることにより、新たに D_9 、 E_8 、 H_7 、 L_6 が演算可能になる。更に、 X_{11} 、 X_{12} の2つの入力データが用意されて、はじめて出力データである H_9 、 L_8 が演算可能になる。

【 0 0 2 3 】

このように、リフティング演算に基づくフィルタ処理では、新たな2つの入力データが用意されるごとに2つの出力（変換係数）が計算可能となる。図1.5に示す逆変換処理においても同様に、2つの変換係数が用意されるごとに2つの復元データが計算可能になることがわかる。

【 0 0 2 4 】

また、垂直方向の逆変換処理に当てはめて見てみると、低域と高域の2種類の変換係数9ライン分を水平スキャン順序で入力することにより、2ライン分の復元データが水平スキャン順序で同時に計算され、出力される。

【 0 0 2 5 】

この点が、リフティング演算によるフィルタ処理（ウェーブレット変換）とそうでないフィルタ処理との大きな違いである。

【 0 0 2 6 】

上記のように、水平方向（又は垂直方向）のウェーブレット変換処理を行うウェーブレット変換部からペアで出力される低域と高域の変換係数は、それぞれ垂直方向（又は水平方向）のウェーブレット変換処理を行う次のウェーブレット変換部にて処理され、該2回の変換処理により水平・垂直方向の2次元ウェーブレット変換処理が行なわれる。

【 0 0 2 7 】

2次元ウェーブレット変換を行う処理部は、特開平10-283342に示されているように、従来は図16のように構成されていた。同図において、501は水平方向の1次元DWT（Discrete Wavelet Transform）処理部（以下、「水平DWT処理部」と呼ぶ。）、503及び505は垂直方向の1次元DWT処理

部（以下、垂直DWT処理部」と呼ぶ。）、「511及び513はバッファである。

【0028】

水平DWT処理部501は、水平方向に走査されたラスタースキャンデータを受け取って処理し、処理毎に水平方向の低域と高域の2つの変換係数を出力する。バッファ511、513は、前記水平DWT処理部501から出力される低域と高域の変換係数を分けて、それぞれ1水平ライン分の変換係数を格納する。

【0029】

一方、垂直DWT処理部503及び505では、垂直方向の1次元ウェーブレット変換処理をした直後、その内部バッファに、該変換処理に用いた複数ライン分の変換係数が格納されている。変換処理が終了すると、この内2ライン分の変換係数は不要となり、新たな2ライン分の変換係数が水平DWT処理部501及びバッファ511及び513から入力されると、次の垂直ウェーブレット変換処理が可能になる。そして、垂直DWT処理部503及び505は、入力された新たなセットの変換係数を用いて演算処理を行い、垂直方向の低域と高域の2つの変換係数をそれぞれ出力する。

【0030】

このように、水平と垂直の2種類のウェーブレット変換処理を施すことにより、垂直DWT処理部503からは、LL（垂直 - 低域、水平 - 低域）、HL（垂直 - 高域、水平 - 低域）の2種類の変換係数が、垂直DWT処理部505からは、LH（垂直 - 低域、水平 - 高域）、HH（垂直 - 高域、水平 - 高域）の2種類の変換係数が出力される。

【0031】

図16の構成では、水平DWT処理部501は、毎サイクル2つのデータを入力すれば100%の稼働率で動作させることが可能である。それに対し、2つ存在する垂直DWT処理部503及び505は、それぞれバッファ511と513に次の水平1ライン分の変換係数を蓄えている間、何も処理せずに休止しており、さらに次の2ライン目の変換係数が水平DWT処理部501から垂直DWT処理部503及び505に入力する時に、バッファ511及び513に蓄えた変換

係数を読み出すことで、2ライン分の変換係数を用いて垂直ウェーブレット変換処理を行う。

【0032】

従って、2つの垂直DWT処理部503及び505が動作する期間は、新たに垂直DWT処理部503及び505に入力される2ライン変換係数の内、水平DWT処理部501が2ライン目の変換係数を処理、出力している期間と同じである。つまり、2つの垂直DWT処理部は各々50%の稼働率で動作することになる。

【0033】

【発明が解決しようとする課題】

上述したように、従来の2次元ウェーブレット変換処理では、水平方向と垂直方向の変換処理の内、後段に配置される変換処理部は2つ必要である。すなわち、同じ量の処理をするのに、前段では1つの変換処理部で済むが、後段では2つの変換処理部を用いるのでハードウェア資源を有効に活用することができず、回路規模が大きくなるという問題があった。

【0034】

本発明は上記問題点を鑑みてなされたものであり、ハードウェア資源をより有効に活用し、より小さいハードウェア構成で2次元ウェーブレット変換処理装置を実現することを目的とする。

【0035】

【課題を解決するための手段】

上記目的を達成するために、本発明のフィルタ処理装置は、画像データをフィルタ処理し、処理により得られる2種類のデータを1組のデータとして出力する第1のフィルタ処理手段と、前記第1のフィルタ処理手段から出力されたデータを2組ずつ90度回転するように並び替えて出力するデータ回転手段と、前記データ回転手段により並び替えられた画像データをフィルタ処理し、処理により得られる2種類のデータを1組のデータとして出力する第2のフィルタ処理手段とを有する。

【0036】

本発明の好適な一様態によれば、前記第 1 及び第 2 のフィルタ処理手段は順方向のウェーブレット変換処理を行う。その際の入力データは、高域変換係数と、低域変換係数の 2 種類のデータからなる 1 組のデータである。

【 0 0 3 7 】

また、本発明の好適な別の様態によれば、前記第 1 及び第 2 のフィルタ処理手段は逆方向のウェーブレット変換処理を行い、高域変換係数と低域変換係数からなる 1 組のデータを入力して処理する。

【 0 0 3 8 】

更に、本発明の好適な一様態によれば、垂直方向に並ぶ 2 画素分ずつの画像データを 1 組として平行に入力する。

【 0 0 3 9 】

また、本発明の好適な一様態によれば、前記第 1 のフィルタ処理手段は垂直方向のフィルタ処理を行い、前記第 2 のフィルタ処理手段は水平方向のフィルタ処理を行う。

【 0 0 4 0 】

また、本発明の好適な別の様態によれば、入力した画像データを 2 組ずつ 90 度回転するように並び替えて出力する、前記第 1 のフィルタ処理手段の前段に配置された入力データ回転手段を更に有し、前記第 1 のフィルタ処理手段は水平方向のフィルタ処理を行い、前記第 2 のフィルタ処理手段は垂直方向のフィルタ処理を行う。

【 0 0 4 1 】

また、本発明の好適な一様態によれば、前記第 1 のフィルタ処理手段は、FIR フィルタである。

【 0 0 4 2 】

更に、本発明の好適な一様態によれば、前記第 1 のフィルタ処理手段に画像データを 2 ライン単位で入力する入力手段であって、画像データを前記第 1 のフィルタ処理手段の処理に必要な画素分ずつライン交互に入力する入力手段を更に有する。

【 0 0 4 3 】

また、上記目的を達成するために、本発明の別のフィルタ処理装置は、画像データをフィルタ処理し、処理により得られる２種類のデータを１組のデータとして出力する第１のフィルタ処理手段と、前記第１のフィルタ処理手段から出力されたデータを各種類毎に一時保持し、垂直方向に並ぶ２画素分ずつの同種類のデータを１組として、各種類のデータを１組ずつ交互に出力する記憶手段と、前記記憶手段から出力されたデータをフィルタ処理し、処理により得られる２種類のデータを１組のデータとして出力する第２のフィルタ処理手段とを有する。

【 0 0 4 4 】

また、本発明の好適な一様態によれば、前記第１及び第２のフィルタ処理手段は順方向のウェーブレット変換処理を行い、前記１組のデータに含まれる２つのデータは、高域変換係数と、低域変換係数である。

【 0 0 4 5 】

また、本発明の好適な別の一様態によれば、前記第１及び第２のフィルタ処理手段は逆方向のウェーブレット変換処理を行い、前記１組のデータに含まれる２つのデータは、高域変換係数と、低域変換係数である。

【 0 0 4 6 】

また、本発明の好適な一様態によれば、前記第１のフィルタ処理手段は、FIRフィルタである。

【 0 0 4 7 】

また、本発明の好適な一様態によれば、前記第１のフィルタ処理手段は、水平方向のフィルタ処理を行い、前記第２のフィルタ処理手段は、垂直方向のフィルタ処理を行う。

【 0 0 4 8 】

また、上記目的を達成するために、本発明のフィルタ処理装置は、第１のモードと第２のモードとを切り換えて画像データをフィルタ処理し、処理により得られる２種類のデータを１組のデータとして出力するフィルタ処理手段と、前記フィルタ処理手段から出力された２組のデータを９０度回転するように並び替えて出力するデータ回転手段と、外部より入力する画像データと、前記データ回転手段により並び替えられた画像データとを切り換えて前記フィルタ処理手段に入力

する第 1 の切り換え手段とを有し、前記第 1 の切り換え手段が外部より入力する画像データを選択したときには、前記フィルタ処理手段は第 1 のモードでフィルタ処理を行い、前記データ回転手段から入力する画像データを選択したときには、第 2 のモードでフィルタ処理を行う。

【 0 0 4 9 】

本発明の好適な一様態によれば、前記フィルタ処理手段から出力されるデータを、前記データ回転手段と、外部とへ切り換えて出力する第 2 の切り換え手段を更に有する。

【 0 0 5 0 】

また、本発明の好適な一様態によれば、前記第 1 のモードでは水平方向にフィルタ処理を行い、前記第 2 のモードでは垂直方向にフィルタ処理を行う。

【 0 0 5 1 】

【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【 0 0 5 2 】

図 1 は、図 1 4 に示す各格子点における演算を行う格子点データ演算ユニットを示し、図 2 は、フィルタ処理のリフティング演算を行うための、図 1 に示す各格子点データ演算ユニットを多段接続した構成を示す。

【 0 0 5 3 】

図 1 において、6 0 1 及び 6 0 3 は 2 つのデータを入力する端子、6 0 7 は演算した格子点データを出力する端子、6 2 1 は端子 6 0 3 からの入力データを格納するバッファ、6 0 9 はバッファ 6 2 1 の出力データを外部へ出力する端子、6 1 1 はバッファ 6 2 1 の出力データと端子 6 0 3 からの入力データを加算する加算器、6 1 3 は、加算機 6 1 1 の加算結果に係数 $C(\alpha, \beta, \gamma, \delta)$ の内の 1 つ) を乗算する乗算器、6 1 5 は演算に用いる 3 つのデータの中央に位置する入力データに、乗算器 6 1 3 の乗算結果を加算する加算器である。

【 0 0 5 4 】

まず、本発明の実施の形態における演算方式の概要を、図 1 4、図 1 及び図 2 を参照しながら簡単に説明する。なお、以下の説明においては、図 1 4 の各格子

点から出力されるデータも、格子点と同じ参照名で呼ぶ。

【 0 0 5 5 】

例えば、9個の入力データ X_0 、 X_1 、 X_2 、 X_3 、 X_4 、 X_5 、 X_6 、 X_7 、 X_8 を処理する場合、10個の格子点データ(D_1 、 D_3 、 D_5 、 D_7 、 E_2 、 E_4 、 E_6 、 H_3 、 H_5 、 L_4)を演算することにより、低域変換係数 L_4 と高域変換係数 H_5 を出力することができる。

【 0 0 5 6 】

次に X_9 、 X_{10} の2つのデータが新たに入力データとして加わった場合、上記と同様に10個の格子点データを演算することにより、低域変換係数 L_6 と高域変換係数 H_7 を出力することもできるが、 X_9 、 X_{10} が入力される以前に演算した格子点データを利用すれば、新たに計算しなければならないのは、 D_9 、 E_8 、 L_7 、 L_6 の4つだけで済む。

【 0 0 5 7 】

以前に演算した格子点データを利用するには演算を終えた格子点データを記憶し、保持するための媒体が必要であり、それが図1におけるバッファ621である。

【 0 0 5 8 】

図2における最上段の格子点データ演算ユニット701内のバッファのみは、以前に演算した格子点データでは無く、以前に入力したデータを保持するために用いられるが、その他の格子点データ演算ユニット内のバッファは以前演算した格子点データを保持するために用いる。このバッファのサイズは最小1で上限は無い。

【 0 0 5 9 】

X_0 から X_8 のデータを用いた処理がすでに終了し、低域変換係数 L_6 と高域変換係数 H_7 を出力するために、最上段の格子点データ演算ユニット701には、新たな入力データ X_9 、 X_{10} の2つのみが入力される。格子点データ演算ユニット701では D_9 を演算するが、入力データ X_9 及び X_{10} の他にこの演算に必要なデータ X_8 は、図1のバッファ621から出力される。この X_8 は、前回の処理で X_8 が端子603から入力された時にバッファ621に格納されたものである。

【 0 0 6 0 】

格子点データ演算ユニット 7 0 1 は、演算した D_9 とバッファ 6 2 1 からの出力 X_8 をそれぞれ端子 6 0 7 と 6 0 9 からユニットの外部へ出力し、次の格子点データ演算ユニット 7 0 2 に送る。

【 0 0 6 1 】

格子点データ演算ユニット 7 0 2 は、入力された D_9 及び X_8 を用いて E_8 を演算するが、この演算に必要なもう一つのデータ D_7 は、ユニット 7 0 2 内のバッファ 6 2 1 から出力される。この D_7 も前回の処理で端子 6 0 3 から入力された時にバッファ 6 2 1 に格納しておいたものである。そして、演算した E_8 とバッファ 6 2 1 からの出力 D_7 をそれぞれ端子 6 0 7、6 0 9 からユニットの外へ出力し、次の格子点データ演算ユニット 7 0 3 に送る。

【 0 0 6 2 】

格子点データ演算ユニット 7 0 3、7 0 4 も上記と同様の処理を行う。その結果、演算ユニット 7 0 3 からは高域変換係数 H_7 が、演算ユニット 7 0 4 からは低域変換係数 L_6 がそれぞれ出力される。

【 0 0 6 3 】

以降、演算ユニット 7 0 1 に新たなデータが 2 つ入力される毎に、演算ユニット 7 0 3 と 7 0 4 から高域と低域の変換係数が出力される。

【 0 0 6 4 】

図 1 のバッファ 6 2 1 が、図 1 7 に示すように 1 画素分のデータを格納するレジスタ 1 7 0 1 が 1 段だけで構成されている場合は、従来と同様の水平ウェーブレット変換処理を行うことが可能であり、図 1 8 に示すようにそれぞれ 1 画素分のデータを格納する 2 段のレジスタ 1 8 0 1、1 8 0 2 で構成されている場合は、後述するように 2 種類の信号を交互に処理することで 2 種類の信号のウェーブレット変換処理を行うことが可能である。図 1 8 におけるデータの流れは、まず図の上方よりレジスタ 1 8 0 1 へ入力され、次のタイミングでレジスタ 1 8 0 2 へシフトされ、さらに次のタイミングで図の下方から出力されとする。さらに、図 1 9 に示すように画像 1 ライン分のデータを格納できるラインメモリ 1 9 0 1 で構成されている場合は、垂直ウェーブレット変換処理を行うことができる。

【 0 0 6 5 】

(第 1 の実施形態)

次に、本発明の第 1 の実施形態における、上記構成を有するウェーブレット変換処理部を用いた 2 次元のウェーブレット変換処理について説明する。

【 0 0 6 6 】

本発明の第 1 の実施形態では、2 次元のウェーブレット変換処理を、方向の違う 1 次元の変換処理を 2 段階に分けて実施することで実現し、その際に、この 2 段の変換処理の間に 2×2 のデータ回転処理を行う。

【 0 0 6 7 】

図 3 に本第 1 の実施形態における 2 次元ウェーブレット変換処理装置の構成を示す。同図において、9 0 1 は垂直方向の 1 次元 DWT 処理部（以下、「垂直 DWT 処理部」と呼ぶ。）、9 0 3 は 2×2 データの回転処理を行うデータ回転ユニット、9 0 5 は水平方向の 1 次元 DWT 処理部（以下、「水平 DWT 処理部」と呼ぶ。）である。垂直 DWT 処理部 9 0 1 及び水平 DWT 処理部 9 0 5 は、それぞれ図 2 に示すように、図 1 で示す演算ユニットを 4 段縦続接続した構成を有し、垂直 DWT 処理部 9 0 1 は 4 段の演算ユニットそれぞれにおけるバッファ 6 2 1（図 1）としてラインメモリ 1 9 0 1（図 1 9）を、水平 DWT 処理部 9 0 5 は 4 段の演算ユニットそれぞれにおけるバッファ 6 2 1 として 2 段のレジスタ 1 8 0 1、1 8 0 2（図 1 8）を持ち、それぞれ垂直方向と水平方向の 1 次元ウェーブレット変換処理を行う。

【 0 0 6 8 】

不図示のメモリあるいはラインバッファから、2 ライン分の画素データの各ラインの端から 1 画素ずつ、すなわち垂直方向に並ぶ 2 画素ずつの画素データが、順に垂直 DWT 処理部 9 0 1 に与えられる。

【 0 0 6 9 】

垂直 DWT 処理部 9 0 1 は、新たに受け取る垂直 2 画素のデータと内部バッファ 6 2 1、すなわち、ここではラインメモリ 1 9 0 1（図 1 9）に格納された、1 ライン前のタイミングにおいて入力された画素データとを用いて、垂直方向の低域変換係数 L_v と高域変換係数 H_v を 1 つずつ出力する。1 ライン分の画像デ

ータを格納するラインメモリ用いることで、1ライン前に入力された画素データと、新たに受け取る垂直2画素のデータとの、垂直に並ぶ3画素間における演算を行うことが可能となる。

【0070】

上記した垂直DWT処理部901の処理について、詳細に説明する。

【0071】

図20は垂直DWT処理部901を構成する4段の演算ユニットのうち、隣り合ういずれか2段の演算ユニット2000a、2000bを縦続接続した状態を表す図である。ここでは、図2における演算ユニット701、702を接続した状態である例として説明する。すなわち、2000a、2000bがそれぞれ演算ユニット701、702に相当する。演算ユニット2000a、2000bにおいて、乗算器2013a、2013bの乗算係数Cはそれぞれ α 、 β である。また、演算ユニット2000aの2つの出力2007a、2009aは、演算ユニット2000bの2つの入力2001b、2003bに接続される。さらに、上述したように、バッファ621はそれぞれラインメモリ2021a、2021bにより構成される。図示していない残りの2段の演算ユニット703、704についても同様の構成である。

【0072】

図20におけるデータの流れを以下に説明する。ここでは、画素データの添え字番号は該画素データの垂直位置を表わしている。

【0073】

演算ユニット2000aの一方の入力端子2001aより、偶数ラインの画素データ1ライン分のうち、ある画素データ X_{2n-1} を加算器2015aへ入力する。他方の入力端子2003aより、奇数ラインの画素データ1ライン分のうち、 X_{2n-1} と垂直の関係にある画素データ X_{2n} を加算器2011aへ入力すると同時に、ラインメモリ2021aへも入力する。

【0074】

ラインメモリ2021aでは、入力画素とちょうど垂直の関係にある画素データ X_{2n-2} を出力端子2009a及び加算器2011aへ出力する。該画素データ

X_{2n-2} はライン周期前に、ラインメモリ 2 0 2 1 a に入力されたデータである。加算器 2 0 1 1 a では、 X_{2n} と X_{2n-2} を加算し、乗算器 2 0 1 3 a へ出力する。ここで、 X_{2n-2} は、画像上の位置が X_{2n} の 2 ライン前のデータで X_{2n} と画素位置がちょうど垂直の関係にあり、それらを加算することになる。乗算器 2 0 1 3 a では、それに係数 $C = \alpha$ を乗算した結果 $\alpha (X_{2n} + X_{2n-2})$ を加算器 2 0 1 5 a へ出力する。加算器 2 0 1 5 a では、乗算器 2 0 1 3 a からの乗算結果と入力端子 2 0 0 1 a からの入力 X_{2n-1} とを加算して、 $D_{2n-1} = X_{2n-1} + \alpha (X_{2n} + X_{2n-2})$ を得て、出力端子 2 0 0 7 a へ出力される。

【 0 0 7 5 】

以上の演算を画素データ 1 ライン分すべてについて求めることで、上述した (1) 式に相当する奇数画素系列 D を求める演算が行なわれる。

【 0 0 7 6 】

演算ユニット 2 0 0 0 b においては、上記で求められた奇数データ系列を入力として用い、上述の (2) 式に相当する偶数データ系列 E を求めることができる。2 0 0 0 b における演算は、入力系列 2 0 0 3 b が D である点と係数 $C = \beta$ である点を除き 2 0 0 0 a と全く同様の演算を行っており、詳細な説明は省略する。

【 0 0 7 7 】

このようにして、4 段縦続接続された演算ユニットを用いて、垂直方向の低域変換係数及び高域変換係数を求めることができる。

【 0 0 7 8 】

出力された 2 つの変換係数 L_v 、 H_v はデータ回転ユニット 9 0 3 に入力される。回転ユニット 9 0 3 は、低域と高域の 2 つの変換係数をそれぞれ 2 個受け取ると、それを並び替えて低域変換係数 2 つと高域変換係数 2 つの順に出力する。この入出力の関係を図 4 に概念的に示す。

【 0 0 7 9 】

図 4 (a) は、2 組のデータを、入力単位で区切って示したものであり、図 4 (b) は、2 組のデータを、出力単位で区切って示したものである。(a) と (b) を比較すると、(a) を右へ 9 0 度回転したものが (b) になっていること

が分かる。

【0080】

並び替えた低域変換係数2つと高域変換係数2つは、それぞれ水平方向に連続している変換係数であるため、これを水平DWT処理部905で処理すると水平方向のウェーブレット変換を行うことができる。

【0081】

本第1の実施形態では、データ回転ユニットを設けてデータの並び替えを行い、並び替えをした低域と高域の2種類のデータを水平DWT処理部905において低域と高域を交互に多重化処理する。

【0082】

多重化処理は、水平DWT処理部905の各格子点データ演算ユニットのバッファ621（図1）がレジスタ2段1801、1802（図18）から成る場合、2種類の信号を交互に処理することにより低域と高域の2種類の信号を交互に水平ウェーブレット変換するものである。この処理についてさらに詳細に説明する。

【0083】

現在の処理サイクルで、仮に、各格子点データ演算ユニットのバッファ621である2段のレジスタ1801、1802の先頭1802に低域変換係数演算用のデータが格納され、後段1801に高域変換係数演算用のデータが格納されているものとする。この時、高域変換係数演算用のデータはその先のレジスタ1802に繋がっているのみで、どの演算ユニットも該データを参照していない。これは高域変換係数演算用データが存在していないのに等しく、すべての演算ユニットは低域変換係数を処理する状態になっている。

【0084】

従ってこのサイクルでは、図4に示す変換係数の内、2つの低域変換係数 L_v ₁及び L_v ₂を入力して、低域変換係数と一緒に2段レジスタの先頭のレジスタ1802が出力するデータ（ここでは低域変換係数演算用のデータ）を処理し、該処理結果（LL、LH）を出力する。すると、次のサイクルで、後段のレジスタ1801に格納されている高域変換係数用のデータが上記2段のレジスタ18

02の先頭に移動し、入力した L_{v2} または前段の格子点データ演算ユニットから入力された、現在のサイクルで処理に用いたデータが該レジスタ1801の後段に取り込まれる。

【0085】

次のサイクルでは、2段のレジスタ1801、1802に保存された低域変換係数と高域変換係数の順序が逆転し、すべての演算ユニットが高域変換係数を処理する状態になる。従って、次のサイクルでは、回転ユニット903からは2つの高域変換係数 H_{v1} 及び H_{v2} が入力され、処理されて、該処理結果(HL、HH)が出力される。

【0086】

この水平DWT処理部905の処理について、詳細に説明する。

【0087】

図21は水平DWT処理部の905を構成する4段の演算ユニットのうち、隣り合ういずれか2段の演算ユニット2100a、2100bを縦続接続した状態を表す図である。ここでは、図2における演算ユニット701、702を接続した状態である例として説明する。すなわち、2100a、2100bがそれぞれ演算ユニット701、702に相当する。演算ユニット2100a、2100bにおいて、乗算器2113a、2113bの乗算係数Cはそれぞれ α 、 β である。また、演算ユニット2100aの2つの出力2107a、2109aは、演算ユニット2100bの2つの入力2101b、2103bに接続される。さらに、上述したように、バッファ621はそれぞれ2段レジスタ2121aと2123a、2121bと2123bにより構成される。図示していない残りの2段の演算ユニット703、704についても同様の構成である。

【0088】

図21におけるデータの流れを以下に説明する。ここでは、変換係数の添え字番号は該変換係数の水平位置を表わしている。

【0089】

まず、上述から明らかなように、演算ユニット2100aの入力端子2101aには、回転ユニット903より出力された低域変換係数と高域変換係数とが交

互に並んだ系列 L_{2m-3} 、 H_{2m-3} 、 L_{2m-1} 、 H_{2m-1} 、 L_{2m+1} 、 H_{2m+1} 、…が入力される。同様に入力端子 2 1 0 3 a には、 L_{2m-2} 、 H_{2m-2} 、 L_{2m} 、 H_{2m} 、 L_{2m+2} 、 H_{2m+2} 、…が入力される。2つの入力タイミングは、 L_{2m-1} と L_{2m} とが同時に入力されるとする。

【0090】

入力端子 2 1 0 1 a より低域変換係数 L_{2m-1} が加算器 2 1 1 5 a へ入力され、同時に入力端子 2 1 0 3 a より低域変換係数 L_{2m} が加算器 2 1 1 1 a と 2 1 2 1 a に入力された場合について述べる。

【0091】

L_{2m-1} 、 L_{2m} が入力される時、レジスタ 2 1 2 1 a には1つ前のタイミングで入力端子 2 1 0 3 a より入力された高域変換係数 H_{2m-2} が格納されている。また、そのときレジスタ 2 1 2 3 a にはさらに1つ前のタイミングで入力端子 2 1 0 3 a より入力された低域変換係数 L_{2m-2} が格納されている。

【0092】

従って、加算器 2 1 1 1 a において、入力端子 2 1 0 3 a より入力された L_{2m} は、レジスタ 2 1 2 3 a に格納されていた低域変換係数 L_{2m-2} と加算されて、乗算器 2 1 1 3 a へ出力される。

【0093】

乗算器 2 1 1 3 a では、それに係数 $C = \alpha$ を乗算した結果 $\alpha (L_{2m} + L_{2m-2})$ を加算器 2 1 1 5 a へ出力する。加算器 2 1 1 5 a では、乗算器 2 1 1 3 a からの乗算結果と入力端子 2 1 0 1 a からの入力 L_{2m-1} とを加算して、低域変換系列からなる $D L_{2m-1} = L_{2m-1} + \alpha (L_{2m} + L_{2m-2})$ を得て、出力端子 2 1 0 7 a へ出力される。他方の出力端子 2 1 0 9 a へは、レジスタ 2 1 2 3 a の出力値 L_{2m-2} が出力される。

【0094】

次のタイミングにおいては、入力端子 2 1 0 1 a、2 1 0 1 b にはそれぞれ高域変換係数 H_{2m-1} 、 H_{2m} が入力される。同時に、2段レジスタ 2 1 2 1 a、2 1 2 3 a は、それぞれ格納データがシフトされ、レジスタ 2 1 2 1 a には L_{2m} 、レジスタ 2 1 2 3 a には H_{2m-2} が格納される。従って、このタイミングにおける加

算器 2 1 1 5 a の演算結果は、高域変換係数からなる $DH_{2m-1} = H_{2m-1} + \alpha (H_{2m} + H_{2m-2})$ となり、出力端子 2 1 0 7 a へ出力される。他方の出力端子 2 1 0 9 a へは、 H_{2m-2} が出力される。

【0 0 9 5】

以上の演算を画素データ 1 ライン分すべてについて求めることで、上述した (1) 式に相当する画素変換データ系列 D を、低域と高域について交互に求める演算が行なわれる。

【0 0 9 6】

演算ユニット 2 1 0 0 b においては、上記で求められた画素系列を入力として用い、画素系列 $EL_{2m-1} = L_{2m-1} + \beta (D_{2m-2} + D_{2m})$ もしくは $EH_{2m-1} = H_{2m-1} + \beta (D_{2m-2} + D_{2m})$ を、低域と高域について交互に求めることができる。2 1 0 0 b における演算は、入力系列 2 1 0 3 b が D である点と係数 $C = \beta$ である点を除き 2 1 0 0 a と全く同様の演算を行っており、詳細な説明は省略する。

【0 0 9 7】

以上の処理を繰り返すことで、4 段縦続接続された演算ユニットを用いて、低域と高域の 2 種類の信号を水平ウェーブレット変換処理して、変換係数 LL、LH、HL、HH をそれぞれ求めることができる。

【0 0 9 8】

上記の通り本第 1 の実施形態によれば、回転ユニットを設けることで、垂直方向と水平方向の 1 次元ウェーブレット変換処理部をそれぞれ 1 つずつ用いれば 2 次元のウェーブレット変換処理を行うことができるため、ハードウェア構成を縮小することができる。

【0 0 9 9】

(第 2 の実施形態)

本第 2 の実施形態は、前記第 1 の実施形態の水平ウェーブレット変換処理と垂直ウェーブレット変換処理の順序を入れ替えたものである。図 5 に示すように、垂直 DWT 処理部 9 0 1 を水平 DWT 処理部 9 0 5 の出力側に配置し、水平 DWT 処理部 9 0 5 の前に新たな回転ユニット 1 1 0 1 を設ける。

【0 1 0 0】

不図示のメモリあるいはラインバッファから入力する画素データの順序は、前記第 1 の実施形態と同じであるものとする。すなわち、2 ラインの画素データが端から 1 画素ずつ、すなわち垂直方向に並ぶ 2 画素ずつの画素データが並列に回転ユニット 1 1 0 1 に入力される。

【0 1 0 1】

回転ユニット 1 1 0 1 は、2 ラインの並列データをライン交互の 2 画素のデータに並び替えて出力する。これはデータを 9 0 度回転する処理と同じである。図 6 は、回転ユニット 1 1 0 1 の入出力の関係を概念的に示す図である。図 6 において、添字 U は 2 ラインの上側 (upper line)、L は下側 (lower line) を示し、1 及び 2 は、画素の順番を示す。図 6 (a) に示すように入力する画素データを右方向に 9 0 度回転することにより、同じ行の 2 画素分の画素データが、交互に出力される。

【0 1 0 2】

このようにライン毎に交互に出力される 2 画素分の画素データは、水平 DWT 処理部 9 0 5 に入力され、それぞれの入力データに対応した水平ウェーブレット変換処理が行なわれる。2 ラインのデータが交互に入力されることで、2 種類の信号を交互にウェーブレット変換することになるので、第 1 の実施形態で説明したように、水平 DWT 処理部 9 0 5 内の各格子点データ演算ユニットのバッファ 6 2 1 (図 6) はレジスタ 2 段で構成される。

【0 1 0 3】

水平ウェーブレット変換して出力される変換係数は、あるラインの低域・高域変換係数と次のラインの低域・高域変換係数であり、交互に出力される。これらは、さらに回転ユニット 9 0 3 に入力されて図 4 に示すように並び替えられる。

【0 1 0 4】

この結果、2 つのラインからの低域変換係数 2 個と、高域変換係数 2 個が交互に回転ユニット 9 0 3 から出力される。

【0 1 0 5】

各々の 2 つの変換係数は垂直方向に並んでいるので、この 2 つの変換係数を垂直 DWT 処理部 9 0 1 に入力すれば、入力された 2 つの変換係数と、内部バッフ

ァ 6 2 1 に保持されたデータとから、垂直方向のウェーブレット変換処理を行うことができる。

【 0 1 0 6 】

なお、垂直 DWT 処理部 9 0 1 の各格子点データ演算ユニットはバッファ 6 2 1 としてラインメモリを持っており、2 ライン分の変換係数を保持している。なお、低域変換係数用に 1 ライン分と高域変換係数用に 1 ライン分の計 2 ライン分の変換係数を保持するが、各変換係数の数は元のラインデータの数の半分になっているので、ラインメモリの容量としては 1 ライン分あればよい。該ラインメモリには、低域変換係数と高域変換係数とが 1 つおきに格納されており、低域変換係数と高域変換係数を交互に処理できるようになっている。

【 0 1 0 7 】

上記の通り第 2 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

【 0 1 0 8 】

なお、不図示のメモリあるいはラインバッファからウェーブレット変換処理装置に入力される画素データの順序を、ライン交互に 2 画素のデータを入力するように変更すれば、最初の回転ユニット 1 1 0 1 は不要となる。

【 0 1 0 9 】

(第 3 の実施形態)

第 1 及び第 2 の実施形態においては、水平 DWT 処理部 9 0 5 は図 2 に示す構成を前提としてきたが、一般的な FIR フィルタで用いられる構成であってもよい。この場合、低域変換係数と高域変換係数は別々の演算器で計算される。

【 0 1 1 0 】

ここでは、ウェーブレット変換フィルタは直線位相、すなわち、ウェーブレット変換のフィルタ係数が対称であるものとする。

【 0 1 1 1 】

図 7 は、本第 3 の実施形態における 2 次元ウェーブレット変換処理装置の構成を示す。図 7 の構成の内、図 9 に構成を示すデータ入力部 1 4 0 1 及び図 8 に構成を示すフィルタ演算部 1 4 0 2 以外は、前記第 2 の実施形態で図 5 を参照して

説明した構成と同様である。

【0 1 1 2】

図 8 は、フィルタ演算部 1 4 0 2 の構成を示す概略図である。同図において、1 2 0 1 はフィルタ入力データ、1 2 0 2 はフィルタ乗算係数の等しい 2 つの入力データを加算する加算器、1 2 0 3 は係数乗算器、1 2 0 4 及び 1 2 0 5 は乗算結果を合計する加算器である。

【0 1 1 3】

次に、図 8 に示すフィルタ演算部 1 4 0 2 を用いて水平ウェーブレット変換処理を行う場合のウェーブレット変換処理部全体の構成について説明する。

【0 1 1 4】

フィルタ演算部 1 4 0 2 には、フィルタのタップ数と同数の画素データを入力する必要があるが、図 1 に示す構成と違い、変換処理部の内部にバッファを持たないので、バッファへのデータ書き込み、読み出しに気を使うことなく画素データを入力することができる。すなわち、複数種類のデータの変換処理を交互に行う場合であっても、フィルタ演算部 1 4 0 2 内部の状態を気にする必要が無い。

【0 1 1 5】

複数種類のデータの変換処理を交互に行うには、入力画素データ全てを同時に切り換える必要がある。例えば、変換係数を得るためのフィルタのタップ数が 9 である場合、9 つのデータを同時に切り換えなければならない。これだけのデータをメモリから直接受け取るのは効率が悪いので、フィルタ演算部 1 4 0 2 にデータを供給する部分についても、それに対応した新たなデータ入力部 1 4 0 1 が必要となる。

【0 1 1 6】

CCD やスキャナなどから得られる画素データは、一般的にラスタースキャン順序で生成されるため、以下ではラスタースキャン順序で生成された画素データを受けとって処理するものとする。図 9 に示すデータ入力部 1 4 0 1 は、ラスタースキャン順序で生成された画素データに対応するものである。同図において、1 3 0 1 は、ラスタースキャン順序の画素データを入力する端子、1 3 0 3 は、1 ライン分の容量を有する第 1 のラインメモリ、1 3 0 5 は、1 ラインの半分の

容量を有する第2のラインメモリ、1307、1309は、9つのレジスタが繋がったシフトレジスタ、1311は、2系統の9つの画素データを切り換えるセレクタである。

【0117】

以下、データ入力部1401の具体的な動作を説明する。

【0118】

まず、図7に示すデータ入力部1401の端子1301から入力される1ライン目の入力画素データを第1のラインメモリ1303に格納する。本発明の重要な構成要素であるウェーブレット変換処理部の処理サイクル（周期）を基準にして考えると、1サイクルの間に2つの画素データが入力されると全体の処理バランスが最も良くなるので、ここではそのようなレートで画素データが入力されるものとする。

【0119】

次に、2ライン目の入力画素データを第2のラインメモリ1305に格納しながら、1サイクルに1画素ずつ第1のラインメモリ1303及び第2のラインメモリ1305からデータを読み出し、それぞれシフトレジスタ1307、1309へデータを送る。両方のラインメモリ1303及び1305から同時にデータの読み出しを開始するよりも、第2のラインメモリ1305からの読み出しを1サイクル遅らせると、後述する理由により都合が良いので、そのように読み出す。

【0120】

第2のラインメモリ1305は、1サイクルで2つの画素データを格納し、1つの画素データを出力するので、2ライン目のすべての画素データを格納し終えた時点では、半分のデータしか残っていない。そのため、第2のラインメモリ1305の容量は1ラインの半分のデータを記憶できればよい。

【0121】

シフトレジスタ1307、1309に取り込まれた画素データは1サイクルごとに交互にセレクタ1311で切り換えられて、図8に示すフィルタ演算部1402で処理される。シフトレジスタ1309の画素データの位相は、シフトレジ

スタ 1 3 0 7 より 1 サイクル遅いが、セクタ 1 3 1 1 が 2 つのシフトレジスタ 1 3 0 7、1 3 0 9 を選択するタイミングにも 1 サイクルのずれがあるので、1 サイクルの遅れは打ち消されて、セクタ出力では同位相のデータとなる。このようにして出力された該 2 ライン分の同位相の 9 つのデータそれぞれを基にして、フィルタ演算部 1 4 0 2 では低域と高域のウェーブレット変換係数が計算され、出力される。

【 0 1 2 2 】

変換係数の出力タイミングは前記第 2 の実施形態と同じであるため、回転ユニット 9 0 3 で変換係数を並び替えて、次に垂直 DWT 処理部 9 0 1 にて変換処理すれば、前記第 2 の実施形態と同じタイミングで 2 次元ウェーブレット変換された変換係数を得ることができる。

【 0 1 2 3 】

(第 4 の実施形態)

ここでは、第 3 の実施形態においてフィルタ演算部 1 4 0 2 の入力側で使用していた 2 つのラインメモリをフィルタ演算部 1 4 0 2 の出力側に移動した構成について示す。但し、ラインメモリの総容量は、第 3 の実施形態と同じではあるが、各々 1 / 2 ラインの容量のラインメモリを 3 つに分けて持つ。

【 0 1 2 4 】

水平方向のウェーブレット変換処理とラスタースキャン順序の画素データとは元々相性が良く、画素データを直接、水平 DWT 処理部に入力して処理することが可能である。なお、水平 DWT 処理部は、図 8 の構成のフィルタ演算部であっても良いし、図 2 の構成の変換処理部であっても良い。

【 0 1 2 5 】

図 1 0 は、本第 4 の実施形態におけるウェーブレット変換処理装置の構成を示すブロック図である。図 1 0 の構成では、ラスタースキャン順序の画素データを受け取り、水平 DWT 処理部 1 5 0 0 にて、直ちに水平方向のウェーブレット変換処理を行う。画素データは第 3 の実施形態と同様、1 サイクル当たり 2 画素入力されるものとする。

【 0 1 2 6 】

水平DWT処理部1500による $2n$ ライン目の処理結果である低域と高域の変換係数は、それぞれ1501、1503に格納される。また、 $2n+1$ ライン目の処理結果の内、高域変換係数は1505に格納するが、低域変換係数はどこにも格納せずセレクタ1511を経由して直ちに垂直DWT処理部901に送る。それに合わせて、1ライン前の低域変換係数をラインメモリ1501から読み出し、垂直に並ぶ2つの低域変換係数のもう一方の係数と一緒に垂直DWT処理部901に送る。

【0127】

これにより、垂直DWT処理部901は水平方向の低域変換係数を連続して変換処理することができる。この間、 $2n+1$ ライン目の水平方向の高域変換係数はすべてラインメモリ1505に格納される。

【0128】

$2n+1$ ライン目の画素データ入力が終わると、 $2n$ 及び $2n+1$ ライン目の低域変換係数の処理も終わるので、次に、蓄えられた2ライン分の高域変換係数を2つのラインメモリ1503と1505から読み出し、セレクタ1511を経由して、垂直DWT処理部901に送り、変換処理を行う。

【0129】

低域変換係数の処理が $2n+1$ ライン目の画素データの入力に同期して行なわれたように、高域変換係数の処理は、 $2n+2$ ライン目の画素データの入力に同期して行なわれる。高域変換係数の処理中に入力される $2n+2$ ライン目の画素データは、水平ウェーブレット変換処理され、処理結果は $2n$ ライン目の時と同じところに格納される。高域変換係数を格納するラインメモリ1503は、出力するデータと格納するデータの割合が同じなので、保持するデータ量は変化せず古いデータが新しいデータに更新されるように新しいデータに変わっていく。

【0130】

以上のようにして、2次元ウェーブレット変換された変換係数を得ることができるが、変換係数の出力順序がこれまでとは異なり、2ライン分の画像データに対する低域・高域変換係数が各画素データを処理する毎にライン交互に出力されるのではなく、水平DWT処理部1500からは1ライン分ずつ低域及び高域変

換係数が出力される。このように、各ライン毎に出力される低域及び高域変換係数を一時的に保持するラインバッファを備えることで、垂直方向と水平方向の1次元ウェーブレット変換処理部をそれぞれ1つずつ用いれば2次元のウェーブレット変換処理を行うことができるため、ハードウェア構成を縮小することができる。

【0131】

(第5の実施形態)

上記第1乃至第4の実施形態は、変換処理1サイクル当たり2画素のデータ入力を前提としていたが、本第5の実施形態では変換処理1サイクル当たり1画素の割合でデータ入力する場合に適したウェーブレット変換処理装置の構成について説明する。

【0132】

単純に、変換処理1サイクル当たり1画素のデータ入力に減らしてしまうと、各変換処理部等が稼働率50%になるだけで、ハードウェア資源の有効利用にならない。

【0133】

そこで、本第5の実施形態では、1つの変換処理部で垂直ウェーブレット変換処理と水平ウェーブレット変換処理の両方を行うことによって、変換処理部の稼働率を100%にし、ハードウェアの有効利用を図る。

【0134】

本第5の実施形態の構成を図11に示す。同図において、1601は、2入力2系統のデータから一方の系統を選択出力するセレクタ、1603は、水平・垂直DWT処理部、1605は、2×2データの回転処理を行うデータ回転ユニット、である。

【0135】

前記第1の実施形態と同様、不図示のメモリあるいはラインバッファから、2ラインデータの各ラインの端から1画素ずつ、すなわち垂直2画素ずつを、セレクタ1601を経由して、DWT処理部1603に入力する。

【0136】

これに対し、DWT処理部1603は、垂直変換モードで該入力データを処理する。

【0137】

但し、連続して入力するのは2サイクルで4つの画素データのみで、次の2サイクルはデータ入力を停止する。トータル4サイクルで4つの画素データを入力することになるので、前述したように、1サイクル当たり1画素のデータ入力割合となる。

【0138】

変換処理部1603は、2サイクル期間に入力された4つの画素データを処理することによって、垂直方向の低域変換係数と高域変換係数を2組出力する。この変換係数はスイッチ1606及び1607を経由して、前記第1の実施形態と同様、回転ユニット1605にて並び替えられ、2個の低域変換係数と2個の高域変換係数が順次、セレクタ1601に入力される。

【0139】

前記データ入力が停止する2サイクル期間は、回転ユニット1605にて並び替えられた変換係数がセレクタ1601で選択され、垂直・水平DWT処理部1603に送られる。垂直・水平変換処理部1603は、今度は水平変換モードにて、2サイクル続けて入力される2個2組の変換係数を水平方向にウェーブレット変換処理し、スイッチ1606及び1607を経由して出力する。

【0140】

なお、垂直・水平DWT処理部1603は基本的には図2に示す構成を有するが、各演算ユニット内のバッファは、垂直方向の変換に対応したラインメモリと水平方向の変換に対応した2段のレジスタを有し、それを変換モードに応じて切り換えて使用することで、上述したような動作が可能になる。

【0141】

また、2ラインデータの水平2画素ずつを交互に入力し、該入力データを先に水平変換モードで処理し、回転ユニットで並び替えた変換係数を次に垂直変換モードで処理しても、同じ結果を得ることができる。

【0142】

第 1 乃至第 5 の実施形態では、すべて順方向のウェーブレット変換処理についてのみ説明してきたが、逆方向のウェーブレット変換処理は乗算係数が異なるのと一部の加算演算が減算に変わるのみで、図 2 の構成並びに上位の構成は順方向も逆方向も同じであるため、本発明は逆方向のウェーブレット変換処理にも適用することができる。

【 0 1 4 3 】

【発明の効果】

上記の通り本発明によれば、ハードウェア資源をより有効に活用し、より小さいハードウェア構成で 2 次元ウェーブレット変換処理装置を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態における演算ユニットの構成を示す図である。

【図 2】

図 1 の演算ユニットを多段接続した、フィルタ処理のためのリフティング演算を行うための構成を示すブロック図である。

【図 3】

本発明の第 1 の実施形態における 2 次元ウェーブレット変換処理装置の構成を示すブロック図である。

【図 4】

図 3 の回転ユニットの動作を概念的に示す図である。

【図 5】

本発明の第 2 の実施形態における 2 次元ウェーブレット変換処理装置の構成を示すブロック図である。

【図 6】

図 5 の回転ユニットの動作を概念的に示す図である。

【図 7】

本発明の第 3 の実施形態における 2 次元ウェーブレット変換処理装置の構成を示すブロック図である。

【図 8】

図 7 に示す F I R 型のフィルタ演算部の構成を示す図である。

【図 9】

図 7 に示すデータ入力部の構成を示す図である。

【図 1 0】

本発明の第 4 の実施形態における 2 次元ウェーブレット変換処理装置の構成を示すブロック図である。

【図 1 1】

本発明の第 5 の実施形態における 2 次元ウェーブレット変換処理装置の構成を示すブロック図である。

【図 1 2】

9 × 7 フィルタ処理をリフティング演算で実現する時の従来の構成を示す図である。

【図 1 3】

9 × 7 逆フィルタ処理をリフティング演算で実現する時の従来の構成を示す図である。

【図 1 4】

9 × 7 フィルタ処理のリフティング演算を表現するリフティング格子構造を示す図である。

【図 1 5】

9 × 7 逆フィルタ処理のリフティング演算を表現するリフティング格子構造を示す図である。

【図 1 6】

従来の 2 次元ウェーブレット変換処理装置の構成を示すブロック図である。

【図 1 7】

図 1 に示すバッファがレジスタ 1 段で構成されていることを示す図である。

【図 1 8】

図 1 に示すバッファがレジスタ 2 段で構成されていることを示す図である。

【図 1 9】

図 1 に示すバッファがラインメモリで構成されていることを示す図である。

【図 2 0】

図 3 に示す垂直 DWT 処理部を構成する演算ユニット 4 段のうち、隣り合ういずれか 2 段の演算ユニットを縦続接続した状態を表す図である。

【図 2 1】

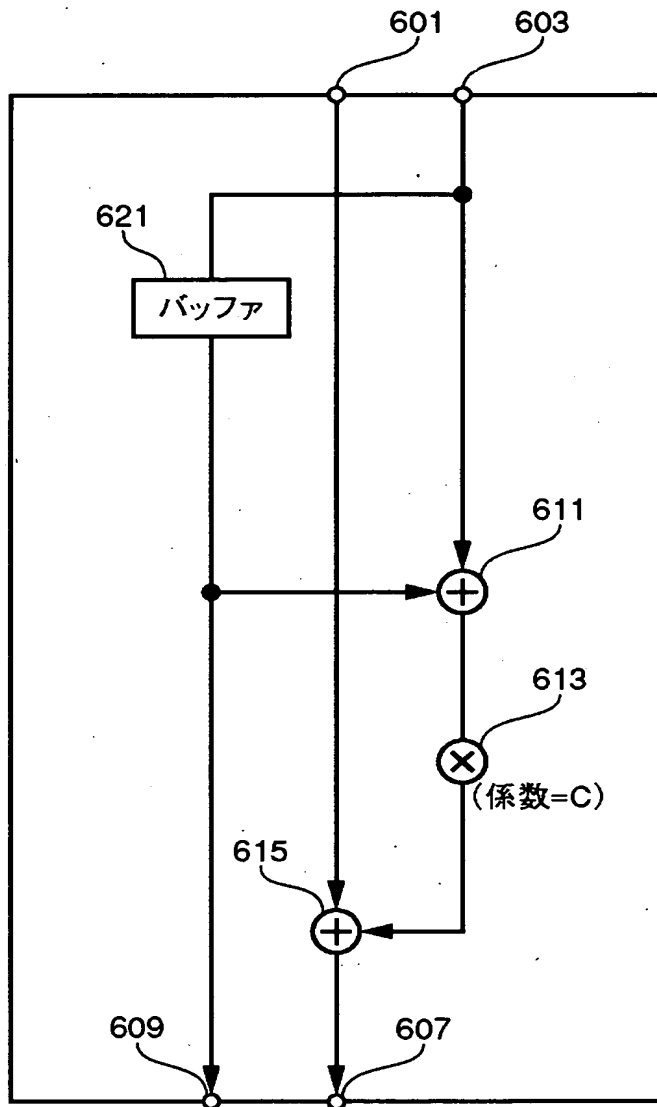
図 3 に示す水平 DWT 処理部を構成する演算ユニット 4 段のうち、隣り合ういずれか 2 段の演算ユニットを縦続接続した状態を表す図である。

【符号の説明】

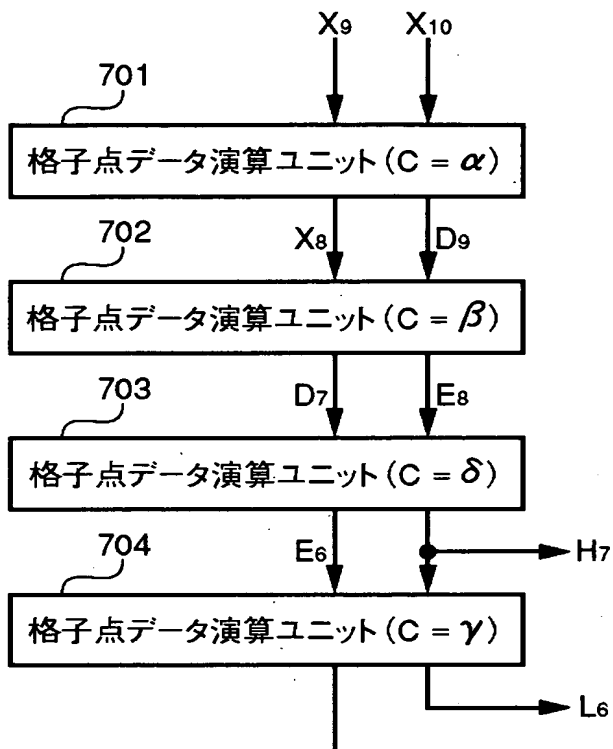
5 0 3、5 0 5、9 0 1	垂直 DWT 処理部
5 0 1、9 0 5	水平 DWT 処理部
5 1 1、5 1 3	バッファ
6 1 1、6 1 5	加算器
6 1 3	乗算器、
6 2 1	バッファ
7 0 1 ~ 7 0 4	格子点データ演算ユニット
9 0 3、1 1 0 1、1 6 0 5	2 × 2 回転ユニット
1 3 1 1、1 5 1 1、1 6 0 1	セレクタ
1 3 0 3、1 3 0 5、1 5 0 1、1 5 0 3、1 5 0 5	ラインメモリ
1 4 0 1	データ入力部
1 4 0 2	フィルタ演算部
1 6 0 3	水平・垂直 DWT 処理部

【書類名】 図面

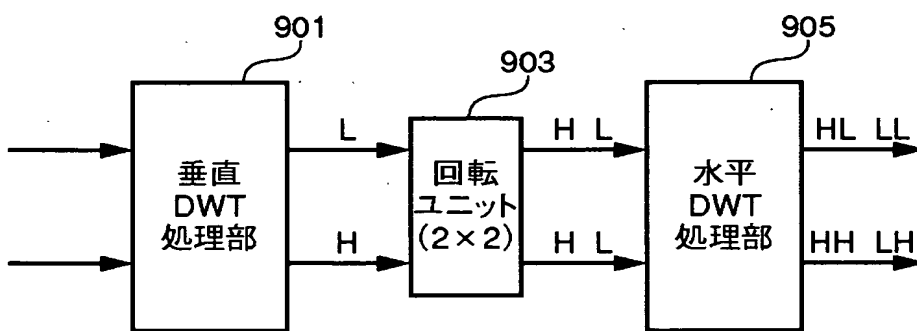
【図 1】



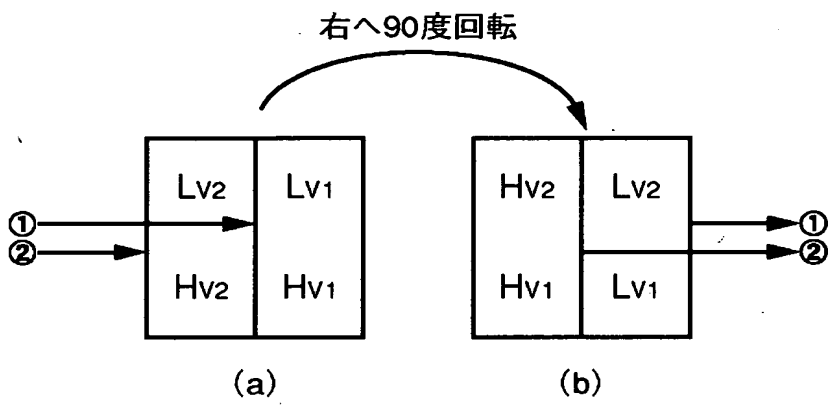
【図 2】



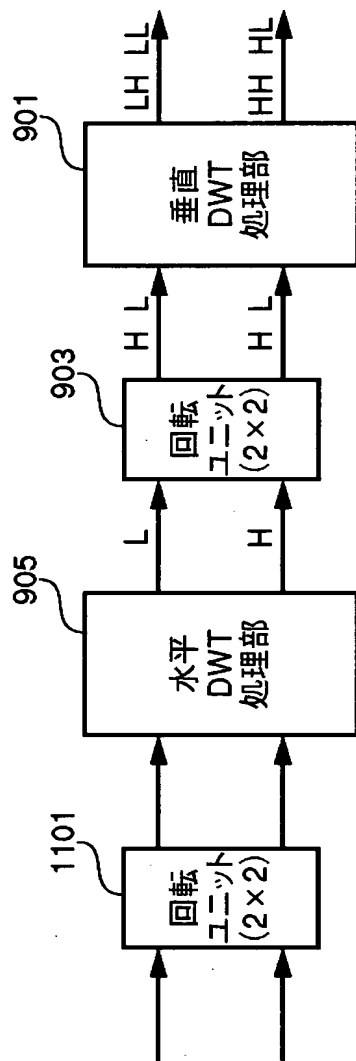
【図 3】



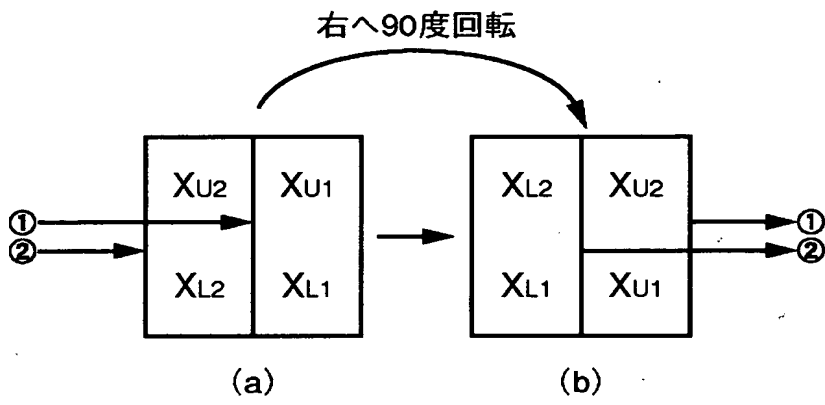
【図 4】



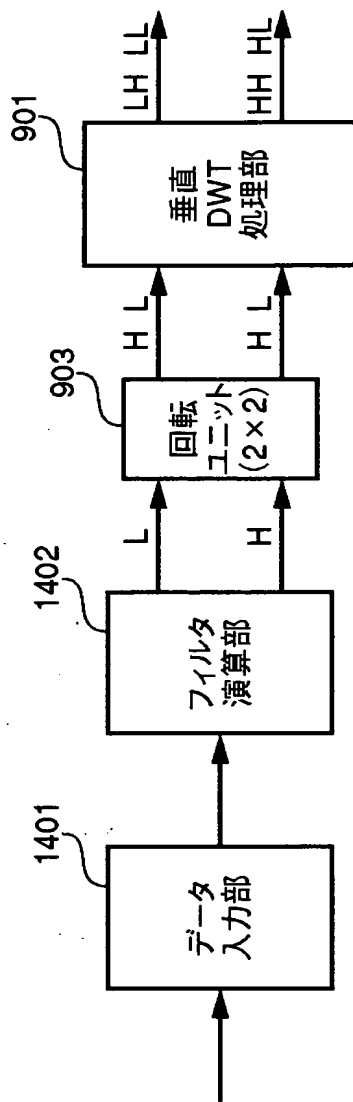
【図 5】



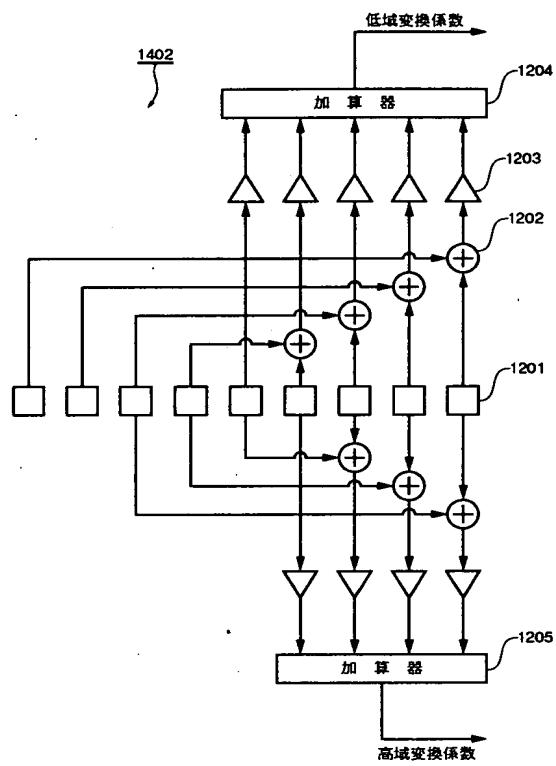
【図 6】



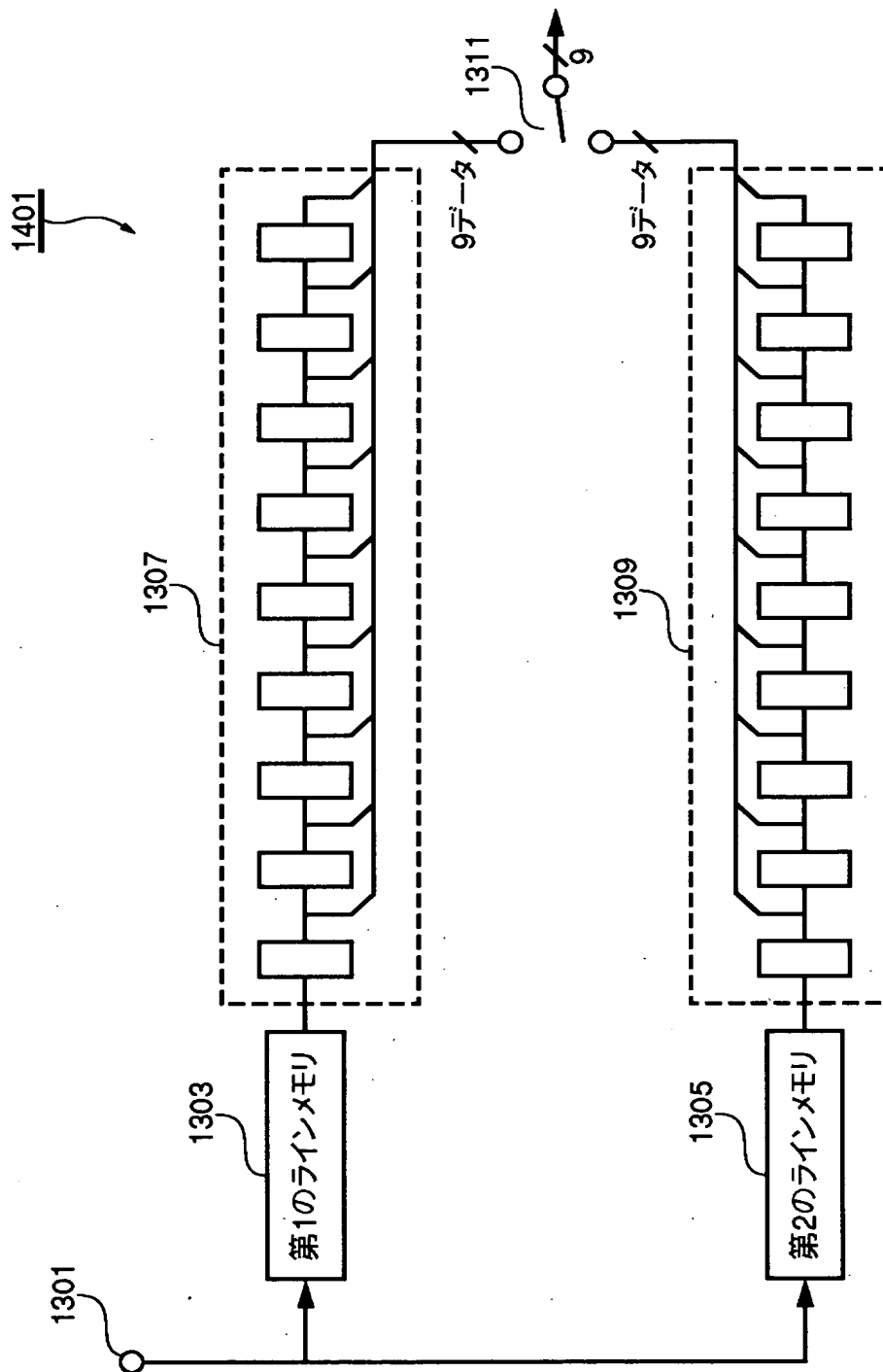
【図 7】



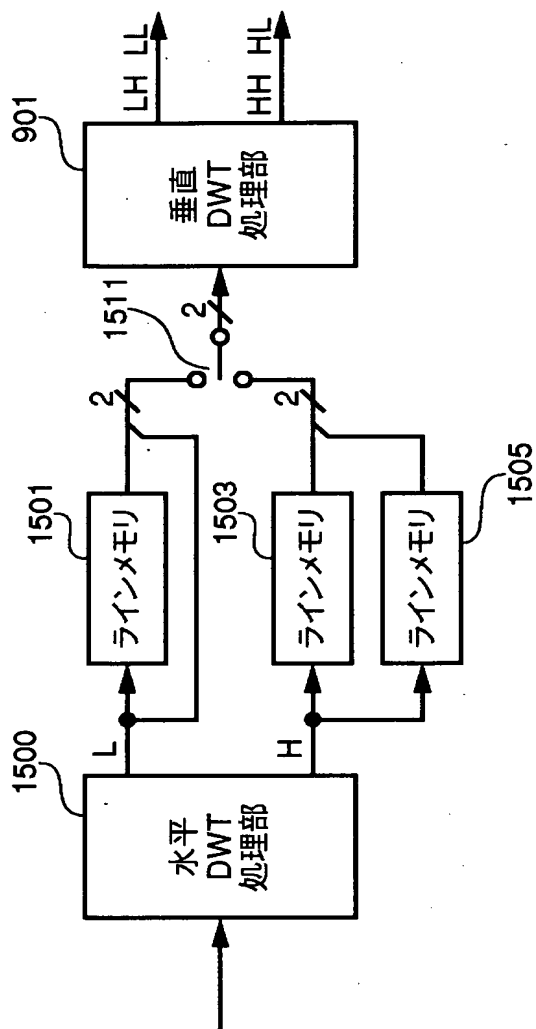
【図 8】



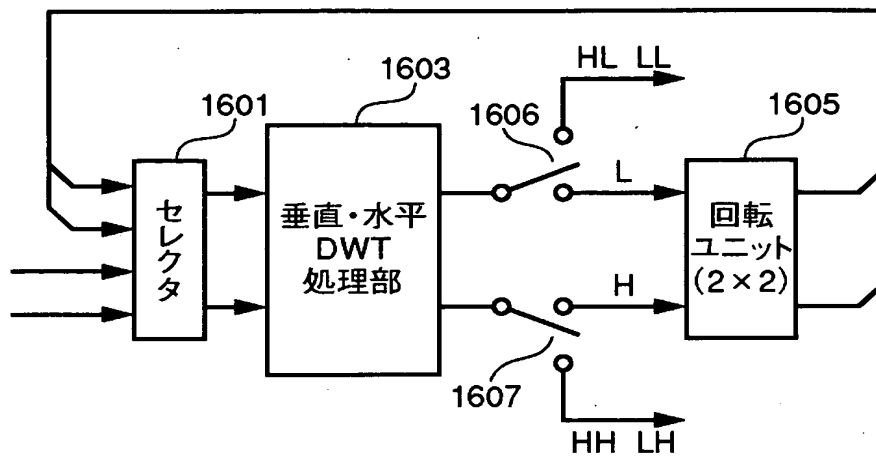
【図 9】



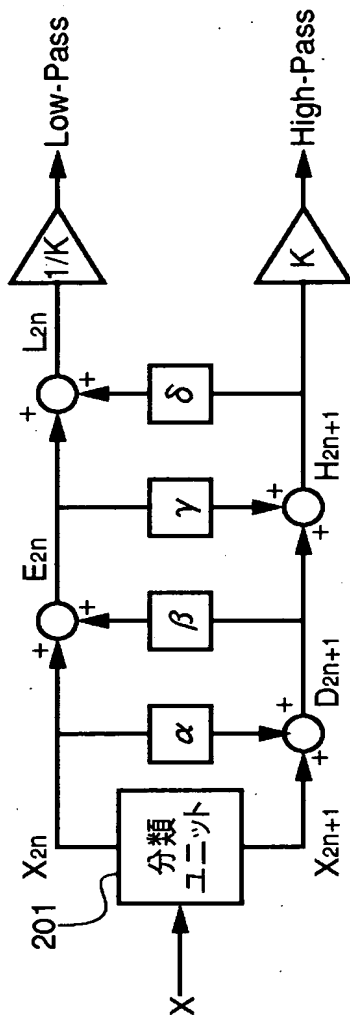
【図 1 0】



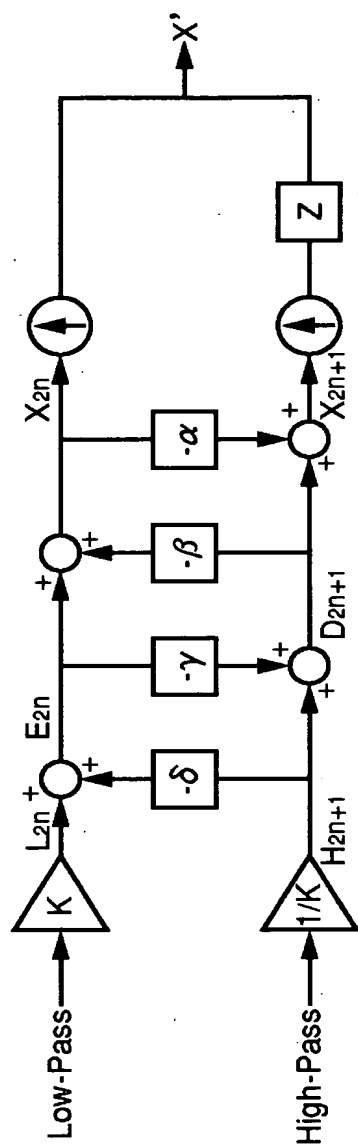
【図 1 1】



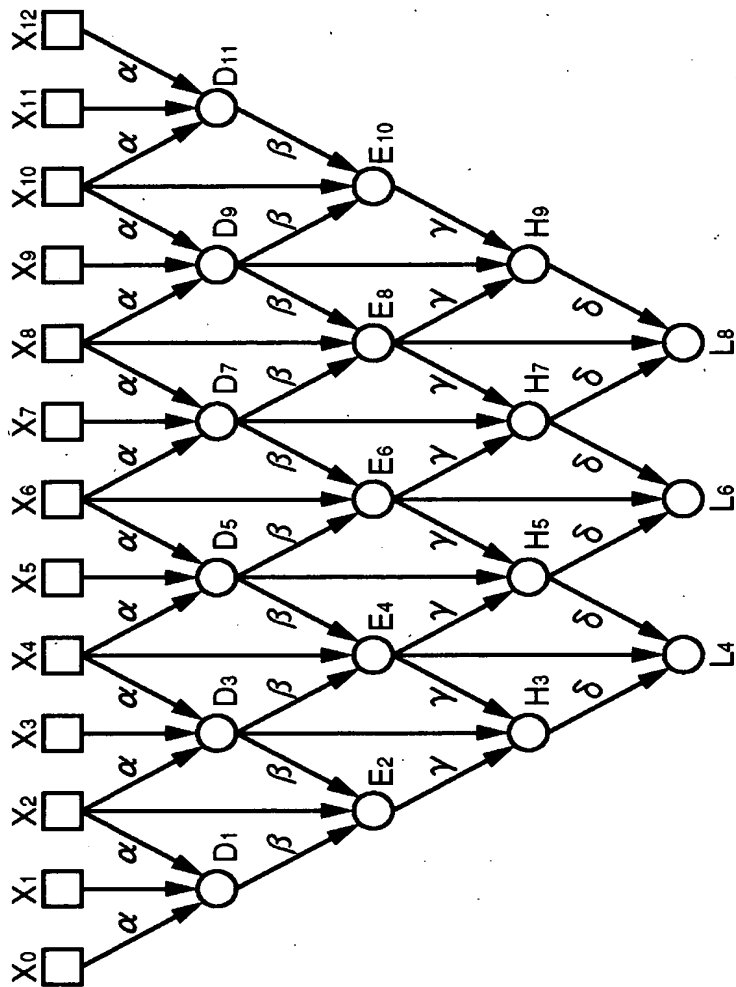
【図 1 2】



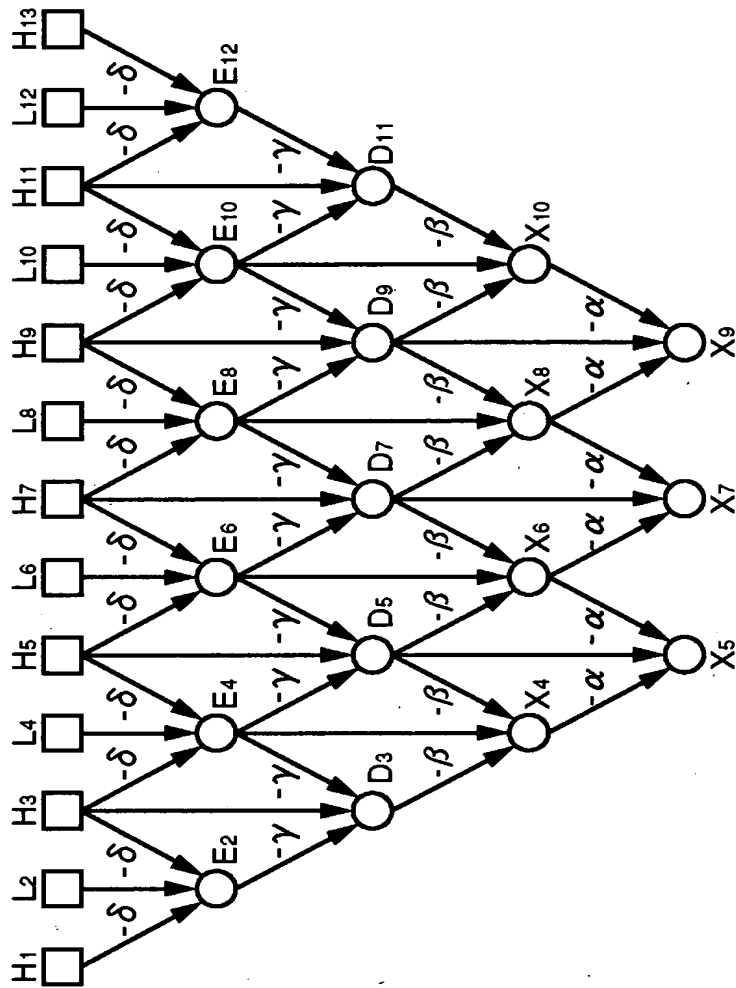
【図 1 3】



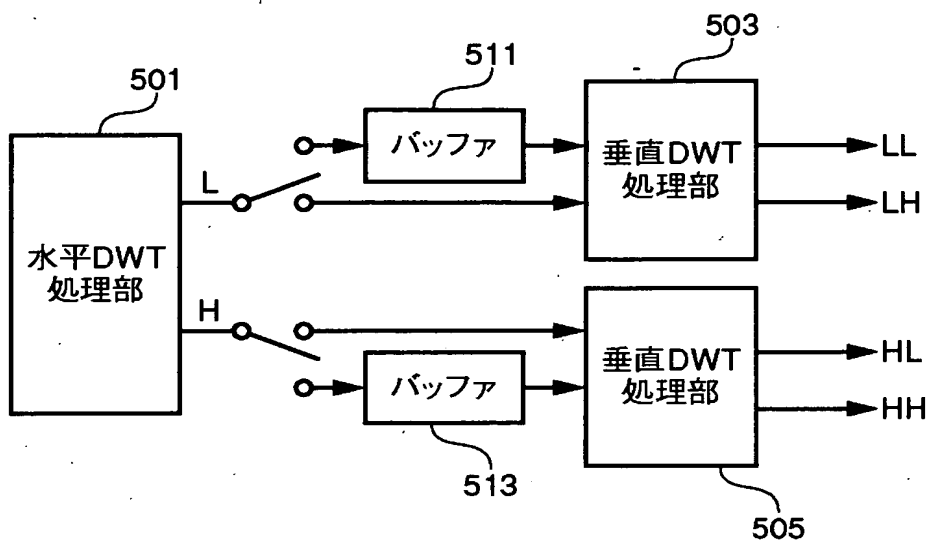
【図 14】



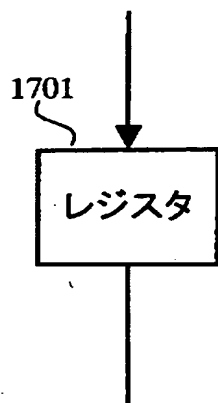
【図 15】



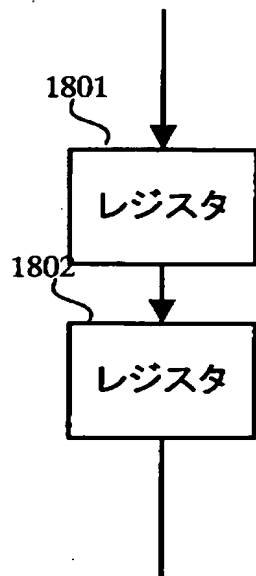
【図 1 6】



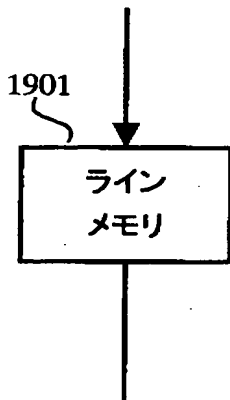
【図 1 7】



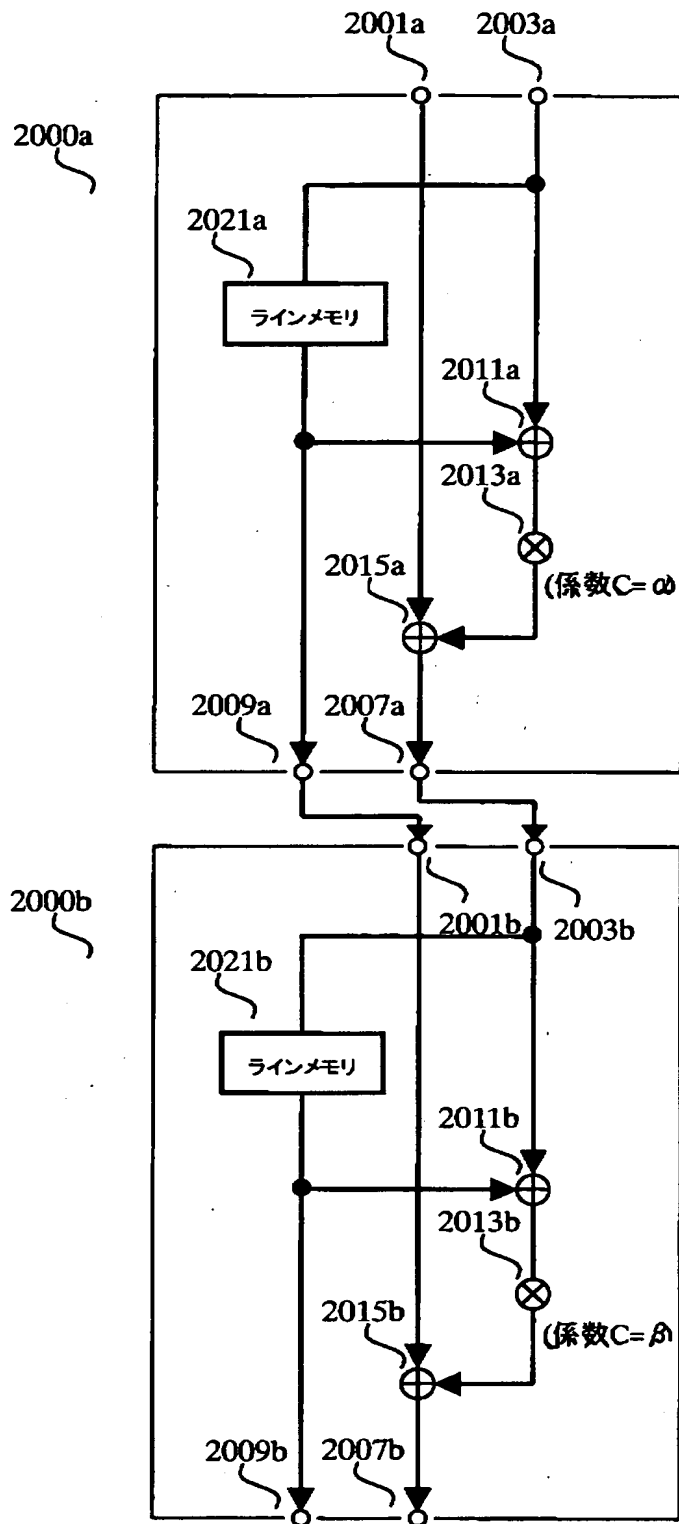
【図 1 8】



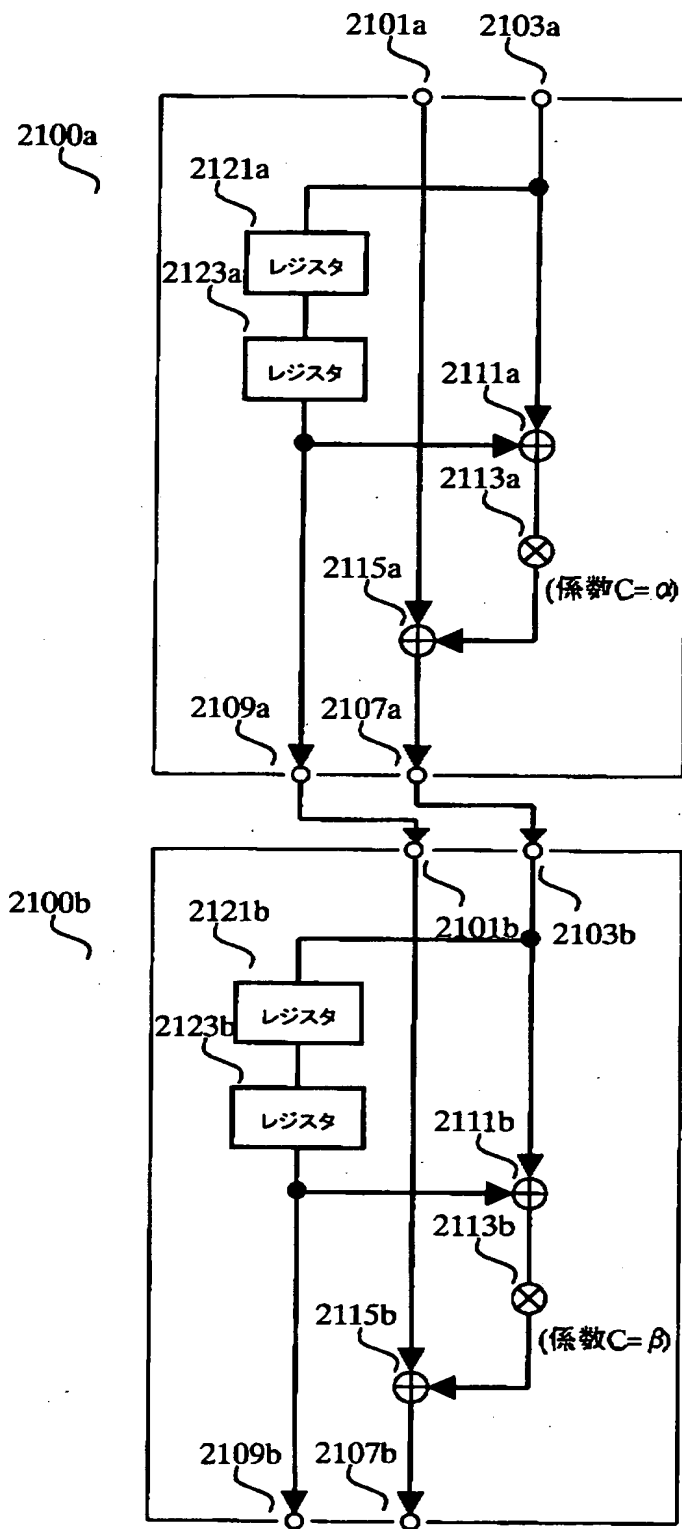
【図 1 9】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 ハードウェア資源をより有効に活用し、より小さいハードウェア構成で2次元ウェーブレット変換処理装置を実現すること。

【解決手段】 フィルタ処理装置は、画像データをフィルタ処理し、処理により得られる2種類のデータを1組のデータとして出力する垂直DWT処理部（901）と、前記垂直DWT処理部から出力されたデータを2組ずつ90度回転するように並び替えて出力する回転ユニット（903）と、前記回転ユニットにより並び替えられた画像データをフィルタ処理し、処理により得られる2種類のデータを1組のデータとして出力する水平DWT処理部（905）とを有する。

【選択図】 図3

認定・付加情報

特許出願の番号	特願2002-024110
受付番号	50200132302
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 2月 5日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名又は名称】	キヤノン株式会社

【代理人】

申請人

【識別番号】	100076428
--------	-----------

【住所又は居所】	東京都千代田区紀尾井町3番6号 秀和紀尾井町 パークビル7F 大塚国際特許事務所
----------	---

【氏名又は名称】	大塚 康徳
----------	-------

【選任した代理人】

【識別番号】	100112508
--------	-----------

【住所又は居所】	東京都千代田区紀尾井町3番6号 秀和紀尾井町 パークビル7F 大塚国際特許事務所
----------	---

【氏名又は名称】	高柳 司郎
----------	-------

【選任した代理人】

【識別番号】	100115071
--------	-----------

【住所又は居所】	東京都千代田区紀尾井町3番6号 秀和紀尾井町 パークビル7F 大塚国際特許事務所
----------	---

【氏名又は名称】	大塚 康弘
----------	-------

【選任した代理人】

【識別番号】	100116894
--------	-----------

【住所又は居所】	東京都千代田区紀尾井町3番6号 秀和紀尾井町 パークビル7F 大塚国際特許事務所
----------	---

【氏名又は名称】	木村 秀二
----------	-------

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社